

明細書

同調可能なアクティブ・フィルタ

発明の背景

1. 発明の分野

本発明は同調可能な周波数応答を有するアクティブ・フィルタに関する。

2. 従来技術の説明

過去数年、單一半導体チップ上にほとんど、あるいは全部集積化できる幾つかのフィルタ設計法が提案されて來た。このようなフィルタは音声またはデータ、チャネルの滤波を提供するのに必要な通信における応用および種々の他の応用において有用である。フィルタはまた試験および測定、計装、信号復元等で広く使用されている。

本発明により改良された1つのフィルタ設計法がケイ・エス・タン (K.S.Tan) 他の論文「バイポーラ J-FET 技術を使用する完全に集積化されたアナログ・フィルタ」アイ・イイ・ジャーナル・オブ・ソリッド・ステート・サーキット (IEEE Journal of Solid-State Circuits)、第CS-1-3巻、頁814-821 (1978) で述べられている。この著者らは「真に必要なものは長い時定数を有するモノリシック積分器である」と述べ、その実現法を明らかにしている。高精度の時定数を得るために、この著者らは回路の時定数調整用に安定なクロック波形を使用している。この技法では、電圧によって制御された素子を使用することにより調整可能な時定数を得ている。集積回路チップ上の1つの同調可能な回路の時定数を基準クロックと比較することにより、複数個の他の時定数の値を調整するために補正フィードバックが使用できる。これは單一集積回路チップ上では1つの同調可能な回路

と他の同調可能な回路においてデバイスの反復性が良いことによる。しかしこの技法はチップ上に集積化可能で適当なレンジの時定数を有する制御素子が得られることが条件となっている。

電圧によって制御される時定数回路では、出来るだけ簡単に実現できる制御素子が得られることが望ましい。またすべての活性デバイスはバイポーラおよびMOSの両方の如き混合デバイス技法でなくMOS技法の如き单一の技法を使用して单一チップ上に実現されることが望ましい。更に、制御回路は適当に少ない量を得るために高度の線形性を有する必要がある。これにより例えば広い範囲にわたって変化する振幅を有する信号は適度の歪または雑音を受けることなく滤波される。同調可能なフィルタを実現する付加的な要件は制御素子が好ましくは標準的な半導体デバイス処理技法を使用して容易に集積化できることである。前述の著者らによって使用された制御素子はこれら要件を完全には満たしていない。しかしこれら要件は本発明に従い満たされる。

発明の要旨

我々は反転および非反転入力と反転および非反転出力を有する平衡増幅器を含む同調可能なフィルタを発明した。第1の入力路は反転入力に接続されており、第2の入力路は非反転入力に接続されている。第1のフィードバック路は非反転出力を前記反転入力に接続している。第2のフィードバック路は反転出力を前記非反転入力に接続している。電子的に制御された抵抗は第1および第2の入力路の各々の中、または第1および第2のフィードバック路の各々の中に置かれている。抵抗素子は前記路の他の方の各々の中に配置されている。制御素子は典型例ではMOSトランジスタであり、該トランジスタは電圧によって制御される抵抗として動作し、その特性は非線形にあってよい。リタクンス素子は典

型例ではコンデンサである。低域フィルタはコンデンサをフィードバック路中に、電圧で制御された抵抗を入力路中に配置することにより得られる。高域フィルタはコンデンサを入力路中に、電圧で制御される抵抗をフィードバック路中に配置することにより得られる。より複雑な周波数応答を得るために複数個のフィルタが繋接接続され正確なクロック周波数または安定な抵抗の如き正確な基準と比較が行われる。

図面の簡単な説明

第1図は本発明に従うクロック周波数を基準とする時定数を有する一般的方法を示すフィルタ。

第2図は小信号RC同調可能な積分器。

第3図は本発明に従う平衡型RC同調可能な積分器。

第4図は本技法で使用される平衡型増幅器の定義を示す図。

第5図は平衡型増幅器の一実現例。

第6図は本発明に従う平衡型差動積分器。

第7図は本発明に従う平衡型同調可能な微分器。

第8図と5次のリーブ・ログ型フィルタ。

第9図は本発明に従う5次の低域フィルタ。

第10図は本発明の技法に従う2次の帯域フィルタである。

詳細な説明

以下の詳細な記述は同調可能なアクティブ・フィルタに関する。高域および低域フィルタのいずれも本発明の技法に従って実現出来る。更に、帯域通過あるいは帯域阻止フィルタを含むより複雑なフィルタも本発明に従う高域および/または低域フィルタを複数個相互に接続することにより実現できる。

本技法にあっては、完全に集積化されたアクティブRCフィルタを抵抗、コンデンサおよび演算増幅器を有する單一半導体チップ

上に実現できる。本技法における種々の時定数は一定クロック周期の如き精確な信号源と比較することにより調整され、安定化される。(これに関して前述のタン (TAN) の論文を参照されたい。) 必要な場合には精確な信号源はチップ外(例えばシステムタイミング信号)から得ることも出来る。

本発明を実現する一つの一般的な方法が第1図に示されている。第1図の方法は電圧によって制御される抵抗を実現することに基づいており。“主回路網”(例えはフィルタ)は可変RC時定数を有しており、すべての電圧によって制御される抵抗RIおよびすべてのコンデンサCjはある基準素子RjおよびCjと一定の比を有している。(第1図において、RIおよびCj素子は模式的に示されており、実際の回路は第3および7図に示してあり、これについては以下で述べる。) 適当な制御電圧Vcを加えることにより、主回路網の時定数は精確で安定な値に調整される。これは“比較回路網”および“基準回路網”より成る(前述のTanの論文に述べられている如き)制御システムによって自動的に実行される。“基準回路網”はRjおよびCj素子で合成されており、その特性時定数tj = Rj Cj の関数である出力信号を発生する。(この出力信号は周期tjの発振であってもよい。) 比較回路網は電圧Vc(および間接的にtj)を設定し、それによって基準回路網から到來する信号と安定で一定のクロック周期とを予め定められた仕方で(例えはtjがクロック周期と等しくなるよう)比較する。このようにして、tjの値は精確で安定となる。主回路網の種々の時定数はtjと一定の比を成しているので、これら時定数も安定となり、予め定められた値をとる。

RC回路はMOSトランジスタを(周知の)電圧によって制御される抵抗として使用することにより金属酸化物シリコン(MOS)

技術で実現される。このようなRC回路を使用する積分器（低域フィルタ）が第2図に示されている。しかし、極めて小さな信号のみしかこの方法では取扱えない。何故ならば絶縁ゲート電界効果トランジスタ（IGFET）の非線形性のために主として2次高調波歪が生じるからである。このため通常要求される条件は典型的では満たされない。（通常要求される条件とは全高調波歪が±5%の供給電圧、90 dBを越すダイナミック・レンジにおいて6 Vのピーク・ツー・ピーク信号で1%以下である。）

本発明にあっては前述の問題は第3図に示す回路で実質的に軽減された。この回路では電圧によって制御される抵抗の非線形性は十分相殺され、所定の動作振幅および周波数の下では第2図の回路と比べて全高調波歪は少なくとも20 dB減少する。第3図の回路はここでは「相補出力演算増幅器」（C.0.0p.Amp）と呼ぶ。本発明に従う平衡した、二重入力、二重出力の演算増幅器である増幅器30を使用している。この素子の動作の定義とこれを表現する記号は第4図に示されている。C.0.0p.Ampにあっては、2つの出力電圧は振幅は同じで符号が異なる。（即ち平衡している。）入力信号は平衡出力を規定する同じ基準電圧と比較されたとき振幅が同じで符号が反対であることが要求される。基準電圧はここでは信号地電圧と定義される。この信号地電圧は使用する回路に応じて電源地電圧と同じであっても、異なってもよい。第3図の入力が（信号地電圧に関して）対称であると、通常2次高調波を発生するMOSトランジスタの非線形性が相殺されることが示し得る。入力トランジスタ39、40の大きさあるいは積分コンデンサ41、42の値の2%という比較的大きな不整合でさえも比較的少しあしか全高調波歪を増加させないことが見出されている。更に、典型的なMOS製造の技法によりこれらの値は2%以内

応するコンデンサC1～C5の値を表Iに示す。MOSトランジスタは同一となるように設計されており、積分器の比はコンデンサの差異によって実現される。フィルタはシミュレーションから予想されるのと同じ動作をし、-3 V～-6 Vの範囲にわたる制御電圧(Vc)に対し1 kHz～4 kHzの間で線形的に変化するカットオフ周波数を与える。フィルタと2つのコンバータの組合せに対する他の測定された特性パラメータを表IIに示す。

表I 素子値

積分器	τ^{-1}	MOSトランジスタ抵抗(MΩ)	C(pF)
1	15.34×10^3	4	16.30
2	15.62×10^3	4	16.00
3	8.9×10^3	4	28.07
4	11.36×10^3	4	22.00
5	15.34×10^3	4	16.30

表II 特性

電源電圧	±5 V
6 Vピーク・ツー・ピークの出力信号における全高調波歪	< 1%
Cメッセージ重み付け雑音	34 μV rms
ダイナミック・レンジ	95 dB
電源排除比 (1 kHzで測定)	+ V _{dd} + 60 dB - V _{ss} + 40 dB
出力オフセット	5 mV
フィルタ利得	0 dB
電力消費	20 mW

下に抑えることが出来る。C.0.0p.Ampは出力電圧（OUT-およびOUT+）が2%しか異ならない振幅を有しているならば第4図において平衡していると考えられる。同じ技法が（余分な入力トランジスタを付加することにより）多入力積分器、（そしてコンデンサ40および41をMOSトランジスタで置き換えることにより）加算器、（そしてコンデンサ40および41をMOSトランジスタで置き換えることにより、即ちコンデンサ40と41ならびにMOSトランジスタ39と40の位置を入れ替えることにより）微分器を実現するのに適用することが出来る。このようにして得られたフィルタのビルディング・ブロックは入力-出力のコンパティビリティがある。前述の技法により良好な電源排除特性を有する入力から出力まで完全に平衡したフィルタが得られる事になる。C.0.0p.Ampの一つの適当な実現例を第5図に示すが、他の実現法ももちろん可能である。

前述の原理を以下の例によって更に完全に説明する。

例

5次の低域アタティップ梯子型フィルタが第9図に示されている。C.0.0p.Ampとしては、第5図の回路が使用されている。フィルタは標準型に従って設計された。計算機シミュレーションによるとMOSトランジスタのチャネルの分布容量のために周波数応答にはピークが生じる。この効果は計算機シミュレーションを指標として2つの容量を経験的に調整することにより除去される。第5図の電圧によって制御されるMOSトランジスタ抵抗の値は $V_c - V_t = 4$ ボルトの場合4メガオームである。ここで V_t はMOSトランジスタの閾値電圧である。各々のMOSトランジスタの基板は正の電源 $+V_{dd}$ に接続されている。積分器1～5に相

2.0 mWという電力消費は第5図に示すように簡単のため1段当たり2つの演算増幅器を使用している事実を反映している。測定された電源排除比(P.S.R.R)は演算増幅器によって制限されたものであり、技法それ自身によって制御されたものではない。9.5 dBというダイナミック・レンジはMOSトランジスタ抵抗の離音によって制限され、その値は全半導体デバイスの面積を最小化するよう選択されている。容量の値を離音にすることによって抵抗値を減少させることにより、100 dBを越すダイナミック・レンジが可能となる。チップの活性領域は（コンバータを含めて）4 mm²である。

表IIに示す特性はデバイスを初めて集積化したときに得られたものであり、再設計は行っていない。このことはこの技法の設計の簡便さを示すものである。

第9図の回路においては差動入力積分器が使用されていることに注意されたい。その出力は(V₁～V₂)の積分値に比例している。ここでV₁およびV₂は独立の入力である。この機能は第3図に示す回路に入力トランジスタの他の対を付加し、第6図に示すように相補的(V₁および-V₂)に駆動することにより実現される。回路は同様な仕方で付加的な入力トランジスタ対を付加することにより更に他の入力電圧を積分するよう拡張することが出来る。

前述の平衡型回路の線形化効果はまた第3図のコンデンサの代りに他のリニアトル素子を用いることによっても得られる。例えばコイルで各コンデンサを置き換えると、第3図の回路は高い線形性を有する微分器（高域フィルタ）となる。前述の実施例にあってはフィードバックは線形素子を通して加えられ、非線形トランジスタは電圧によって制御される入力デバイスとして使用され

る。しかし、丁度逆のことを行う実施例を得ることも出来る。例えば、電圧によって制御される素子がフィードバック路中にあり、コンデンサが入力路にある第7図の回路は微分器となる。ここでの例でMOSトランジスタが制御された抵抗として使用されているが、他の電子的に制御された素子でも可能である。即ち、本技法は理想的な電流対電圧の線形性を持たない他の素子を使用してより線形性の秀れた応答を得るのに使用することが出来る。

前述の回路をビルディング・ブロックとして使用することにより、種々の機能を得ることが出来る。回路網理論では、あらゆる型の伝達関数が積分器と加算器のみを含む極めて不感応な回路で実現することが知られている。例えば第8図は第9図に示すフィルタを一般化したものである5次の低域伝達関数を実現するのに差動入力積分器のみを使用した周知のリープ・フロッギング技法を示している。本技法を使用する2次の帯域通過フィルタが第10図に示されている。いずれの場合でも、制御トランジスタのゲートに加えられる電圧は同じ電圧であることに注意されたい。更に他の伝達関数を本発明のフィルタ設計法に従って実現することが出来る。

モノリシックの連続時間フィルタを実現する本手法はプログラマブル・フィルタを実現するよう一般化することが出来る。これを実行する一つの方法として回路中の余分な抵抗またはコンデンサをオン・オフ・スイッチングすることがある。(この場合フィルタの性質は時間的に連続な状態に留まることに注意されたい。) これはスイッチそれ自身がその他のすべてのMOSトランジスタ抵抗と同様に線形化された回路のアクティブ部分である点を除き周知のスイッチト・キャパシタ・プログラマブル・フィルタに類似している。事実、加えられるゲート電圧に依存して同じFET

をMOSトランジスタ抵抗およびスイッチとして使用することが出来る。他の方法として周波数応答が異なる周波数軸スケーリングでなく更に一般的な仕方で変化するように異なる時定数を独立に制御することが考えられる。

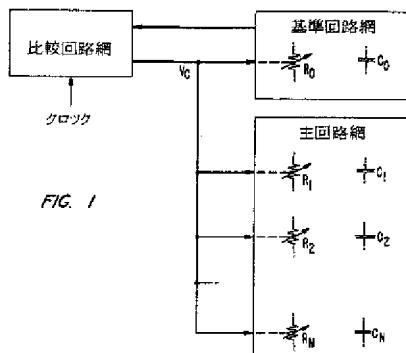


FIG. 1

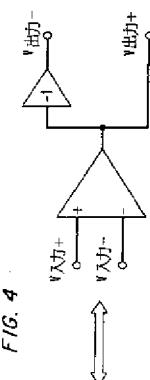
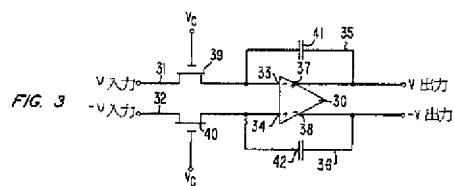
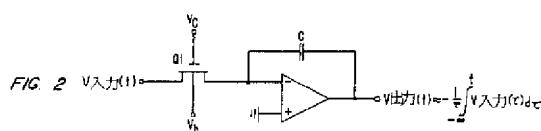


FIG. 4

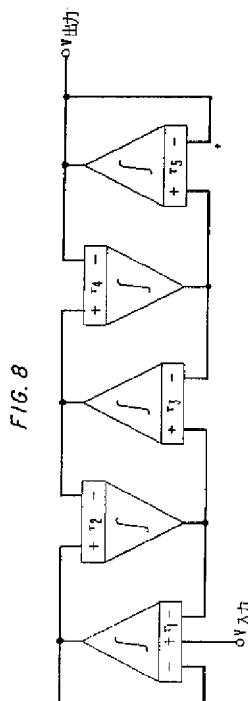
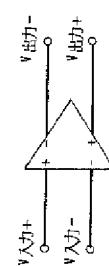


FIG. 6

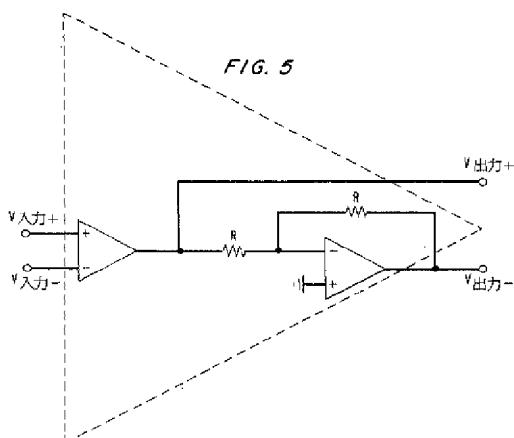


FIG. 5

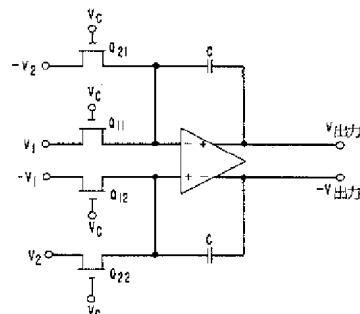


FIG. 6

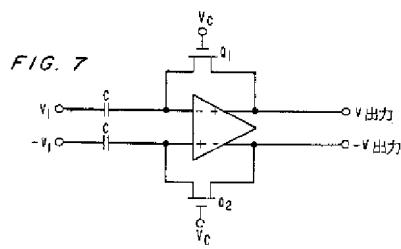


FIG. 7

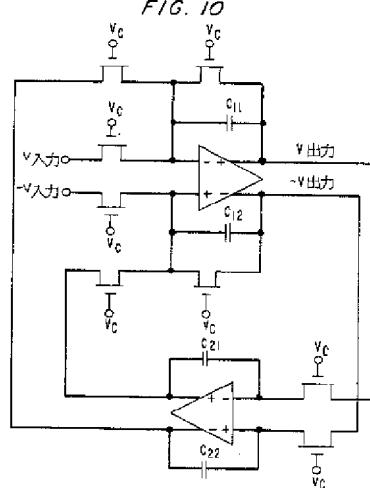
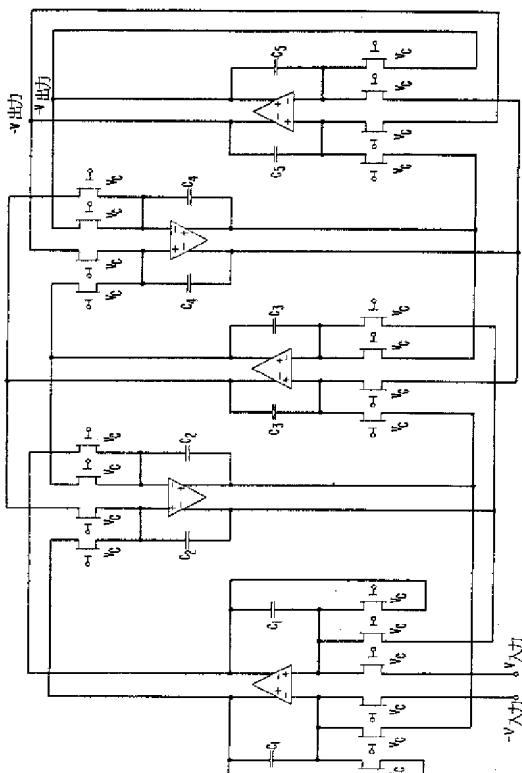


FIG. 10



9
FIG

國 嫌 請 壇 報 告		International Application No. PCT/US83/01994
I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all)*		
According to International Patent Classification (IPC) or to both National Classification and IPC		
INT. CL. HO3E 1/34, 3/191 US. CL. 330/107, 305		
II. FIELDS SEARCHED		
Classification System		Minimum Documentation Searched*
		Classification Symbols
US	330/84, 107, 109, 305	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Referred in the Fields Searched*		
III. DOCUMENTS CONSIDERED TO BE RELEVANT**		
Category *	Classification of Document, if any with indication, where appropriate, of the relevant passages**	Relevant to Claim No. 14
Y	US, A, 3,747,007, (GEITNER) 17 July 1973	1-6
Y	US, A, 4,356,451, (WILSON) 26 October 1982	1-6
<p>* Special categories of cited documents: if "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International Filing Date "L" document which may throw doubts on novelty, claim(s) or priority of the claimed invention or which may be relevant to a claim for an extension of protection or "O" document referring to an oral disclosure, use, exhibition or "P" document published later than the International filing date but later than the priority date claimed</p> <p>** later document published after the International filing date or priority date and not in conflict with the application but which may be of interest in view of the principles or theory underlying the invention ** document of particular relevance; the claimed invention involves an inventive step ** document of particular relevance; the claimed invention involves an inventive step ** document of particular relevance; the claimed invention involves an inventive step ** document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search*		Date of Filing of the International Search Report*
12 March 1984		22 MAR 1984
International Searching Authority*		Signature of Authorized Officer**
ISA/US		<i>Gene Wan</i> <i>Gene Wan</i>

平成 3.8.20 発行

手続補正書

平成2年12月19日

特許庁長官 横松 敏郎

特許法第17条第1項又は第17条の2の規定による補正の掲載

昭和59年特許願第500604号（特表昭60-500395号、昭和60年3月22日発行公表特許公報）については特許法第17条第1項又は第17条の2の規定による補正があったので下記のとおり掲載する。

Int.Cl. ⁵	識別記号	序内整理番号
H03H 11/12		8731-5J
H03F 1/34		8836-5J

1. 事件の表示

昭和59年特許願第500604号

2. 免明の名称

同調可能なアクティブ・フィルタ

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国 10038 ニューヨーク、
ニューヨーク、ブロードウェー 222

名称 ウエスター・エレクトリック カムバニー、
インコーポレーテッド

4. 代理人の住所・氏名

〒100
東京都千代田区丸の内3-2-3、富士ビル602号室
電話 (213) 1561 (代表)

(6444) 井原士岡 部 正 夫

5. 補正の対象 (1) 「請求の範囲の翻訳文」

6. 補正の内容 別紙の通り



(1) 「請求の範囲」を別紙の通り訂正する。

請求の範囲

1. 反転入力 (33) と非反転入力 (34) 及び反転出力 (38) と非反転出力 (37) を有する平衡増幅器 (30) とからなるフィルタにおいて、第1と第2の入力路 (31, 32) の一対のそれぞれの路が該反転入力 (33) 及び非反転入力 (34) へ結合され、第1 (35) と第2 (36) のフィードバック路の一対のそれぞれの路が該非反転出力 (37) と該反転入力 (33) との間及び該反転出力 (38) と該非反転入力 (34) との間へ結合され、少なくとも一方の該一対の路は、該対の第1及び第2の路の各々の中に電界効果トランジスター (39, 40) の形をとる電子的に制御される抵抗を有し、及び、少なくとも他方の一対の路は、該対の第1及び第2の路の各々の中にリアクタンス素子 (41, 42) を有することを特徴とするフィルタ。
2. 請求の範囲第1項記載のフィルタにおいて、該リアクタンス素子はコンデンサであることを特徴とするフィルタ。

平成 3. 8.20 発行

3. 請求の範囲第1項記載のフィルタにおいて、該入力路は制御される抵抗を各々含んでおり、該フィードバック路はコンデンサを各々含んでおり、それによって低域フィルタが得られることを特徴とするフィルタ。
4. 請求の範囲第1項記載のフィルタにおいて、該入力路の各々はコンデンサを含み、該フィードバック路の各々は制御される抵抗を含み、それによって高域フィルタが得られることを特徴とするフィルタ。
5. 請求の範囲第1項記載のフィルタにおいて、電子的に制御される抵抗は精確な信号源を参照することにより制御されるよう適合されていることを特徴とするフィルタ。
6. 請求の範囲第1項記載のフィルタにおいて、該要素の全ては一つの半導体チップ上に含まれていることを特徴とするフィルタ。
7. 請求の範囲第1項記載のフィルタにおいて、該フィルタによって導入される全高調波亞を、該制御される抵抗と該リアクタンスが該第1及び第2

の路の1つにのみ位置される場合よりも少なくとも20デシベルより小さくするよう、該制御される抵抗の非線形性が十分に相殺されることを特徴とするフィルタ。